

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-009009

(43)Date of publication of application : 16.01.1986

(51)Int.Cl.

H03G 3/20
H03G 3/00

(21)Application number : 59-129236

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 25.06.1984

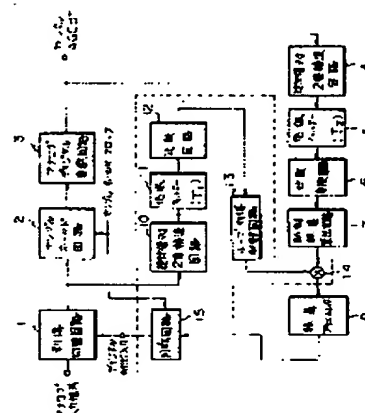
(72)Inventor : TAKEMOTO MITSUO

(54) DIGITAL AGC CIRCUIT

(57)Abstract:

PURPOSE: To improve the transient response to a stepwise fluctuation of an input level and to improve the instable operation of the transient response of a gain switching circuit by switching a loop gain of a gain control loop through the result of comparison between an AGC output level from a gain switching circuit and a reference tracking level.

CONSTITUTION: The AGC level is converted into a DC level by the 2nd absolute value or square detection circuit 10 connected to an output of the gain switching circuit 1 and said level is smoothed by the 2nd low-pass filter 11. Then the output is compared with a tracking level required as the reference by a comparator circuit 12 so as to discriminate whether the AGC output level has a change over a prescribed level to the required tracking level. A level inputted to an error accumulator 8 is switched through the result of discrimination. When an output of the comparator circuit 12 shows fluctuation over a prescribed level, the loop gain control circuit 13 increases the loop gain so as to attain the loop control at a high speed and when the output of the comparator circuit 12 shows fluctuation below a prescribed level, the circuit 13 decreases the gain of loop control in this level control.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭61-9009

⑪ Int.Cl.⁴

H 03 G 3/20
3/00

識別記号

庁内整理番号

7210-5J
7827-5J

⑬ 公開 昭和61年(1986)1月16日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 デジタルAGC回路

⑮ 特 願 昭59-129236

⑯ 出 願 昭59(1984)6月25日

⑰ 発 明 者 竹 本 光 雄 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑱ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑲ 代 理 人 弁理士 鈴木 敏明

明 細 書

1. 発明の名称

デジタルAGC回路

2. 特許請求の範囲

(1) アナログ入力信号をデジタル変換し、時定数 τ_1 の低域フィルタをループ内にもつAGC制御ループにより利得切替回路の利得切替を行なうデジタルAGC回路において、利得切替回路の出力レベルを絶対値変換又は2乗検波した後、前記低域フィルタの時定数 τ_1 以下の時定数 τ_2 をもつ低域フィルタで平滑し、前記平滑した出力がAGC追従レベルに対して一定レベル以上の高低に変化している間AGC制御ループのループ利得を前記一定レベル以内にあるときの利得より大きな値とする手段を有して利得切替を行なうことを特徴とするデジタルAGC回路。

(2) 利得切替のタイミングをデジタル変換に際してのホールドタイミングの直後としたことを特徴とする特許請求の範囲第1項記載のデジタルAGC回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は変復調装置におけるデジタルAGC回路に関する。

(従来の技術)

従来のデジタルAGC回路は、特開昭56-10719号公報、特開昭58-108809号公報、昭和54年度電子通信学会総合全国大会講演論文集〔分冊8〕底2008、昭和56年度電子通信学会総合全国大会講演論文集〔分冊8〕底1984により明らかにされており、例えば第5図の様に、利得切替回路1、サンプルホールド回路2、アナログデジタル変換回路3、絶対値変換又は2乗検波回路4、低域フィルタ5、対数変換回路6、制御誤差算出回路7、誤差アキュムレータ8等で構成されており、必要なAGC出力レベルと、実際のAGC出力レベルとの誤差を算出回路で得て、これを誤差アキュムレータにより積分し、その結果で利得切替回路を制御することによりAGCを構成している。

(発明が解決しようとする問題点)

しかしながら、従来のディジタル AGC 回路では入力レベルのステップ的な変化に対する過渡応答がおそいという欠点、及び利得切替回路にアナログスイッチ等のスイッチ切替を使用した場合(例えば、特願昭58-160272号)、その切替による過渡応答がサンプルホールド回路を経て、利得制御ループにとりこまれて、発振等の不安定動作を惹き起こすという問題について十分な配慮がなされていなかったという欠点があった。

(問題点を解決するための手段)

本発明は、前記従来技術の問題点を解決することにある。すなわち、

①入力レベルのステップ的な変動に対する過渡応答の改善

②利得切替回路の過渡応答による不安定動作の改善

を図ったディジタル AGC 回路を提供するものである。そのため、アナログ入力信号をディジタル変換し、時定数 τ_2 の低域フィルタをループ内にも

つ AGC 制御ループにより利得切替回路の利得切替を行なうディジタル AGC 回路において、利得切替回路の出力レベルを絶対値変換又は 2 乗検波した後、前記低域フィルタの時定数 τ_2 以下の時定数 τ_1 をもつ低域フィルタで平滑し、前記平滑した出力が AGC 追従レベルに対して一定レベル以上の高低に変化している間 AGC 制御ループのループ利得を前記一定レベル以内にあるときの利得より大きな値とする手段を有して利得切替を行なうことを特徴とする AGC 回路である。

(作用)

本発明の作用は、第 1 図に示す如く回路において利得切替回路 1 からの AGC 出力レベルを絶対値又は 2 乗検波回路 10 により直流レベルを得て、AGC ループ内の低域フィルタ (τ_2) 5 の時定数 τ_2 よりも小さな時定数 τ_1 をもつ低域フィルタ (τ_1) 11 で平滑して、この結果を比較回路 12 で基準の追従レベルに対して一定レベル以上の変化があったか否かをモニターし、この結果により、利得制御ループのループゲインを切替える。

(実施例)

第 1 図は、本発明の実施例を示す回路図であり、破線で囲った部分が従来回路に対して付加した回路である。第 1 図において、利得切替回路 1 の出力側に追加された第 2 の絶対値又は 2 乗検波回路 10 により AGC 出力レベルが直流レベルに変換され、これを第 2 の低域フィルタ (τ_1) 11 により平滑し、この出力を比較回路 12 で基準となる必要な追従レベルと比較することにより、AGC 出力レベルが、必要な追従レベルに対して、一定レベル以上の変化があったか否かを判定する。この判定結果により、誤差アキュムレータ 8 に入力されるレベルを切替える。このレベルの制御は AGC のループ利得制御となり、ループ利得制御回路 13 によりレベルが大きな時は高速で制御され、小さな時は微細に制御される。比較回路 12 の出力が、一定レベル以上の変動を示しているときは、前記ループ利得を大きくして、高速でループ制御を行ない、このループ制御の結果、前記比較回路 12 の出力が一定レベル以下の変動となったことを示

すことにより、ループ制御利得を小さくするものである。このループ利得制御回路 13 の出力は、制御誤差算出回路 7 の出力に乗算器 14 で乗算され、誤差アキュムレータ 8 に出力する。

ここで、前記比較回路 12 の入力側の低域フィルタ (τ_1) 11 の時定数 τ_1 と、利得制御ループの低域フィルタ (τ_2) 5 の時定数 τ_2 は、 $\tau_1 \leq \tau_2$ とする。

第 3 図に上記制御による過渡応答の変化を示している。従来の AGC の出力応答に対して、本発明による AGC の出力応答が短くなることがわかる。まず、入力レベルがステップ的に低下したとすると、AGC 出力レベルもステップ的に低下し、比較回路 12 は AGC 出力レベルが一定レベル以上変動したことを検出し、検出している間、ループ利得を大きくする。これにより、高速で AGC 応答し、AGC 出力レベルを一定レベル以下の変動とする。同時にループ利得は元にもどる。入力レベルがステップ的に増大した場合も同様に制御される。

第 2 図は、第 1 図のループ制御回路 13 の内部

を示す回路図である。比較回路12から得た判定結果をデコード20により変換して、この出力によりスイッチSW₁、SW₂、SW₃を制御しアース又は電源の「0」、「1」出力の例えば3ビットを得てこれを乗算器14に与える。乗算器14では制御誤差算出回路7からの出力と乗算する。この例では、スイッチSW₁、SW₂、SW₃全てを制御する場合を説明しているが、特定のスイッチを固定しておき、残りのスイッチを制御してもよい。

次に第1図における同期回路15の動作を、第4図を用いて説明する。第4図において、利得切替回路1のアナログ入力(4)に対して、従来の利得切替回路1の出力(4)は、利得切替タイミングとサンプルホールド回路2のホールドタイミング(5)が図示した様になり、利得切替による過渡応答がサンプルホールド回路2の出力に影響することがある。すなわち、(5)時点におけるホールドデータは、本来(4)であるが、上記影響により(6)となる。この誤データはアナログディジタル変換を介してディジタルAGC出力となるとともに利得制御ループに

とりこまれて、不安定動作の原因となる。第1図における同期回路15は、ホールドタイミング(5)点により、利得切替タイミングを同期化し、サンプルホールド回路2がデータをホールドした直後に利得切替する様にしている。これにより、利得切替による過渡応答時間がサンプルホールドの周期Tまで許容できる様になる。

(発明の効果)

本発明は、以上説明したようにAGC出力レベル比較結果によるループ利得制御により、レベル変化による過渡応答時間を短縮できるという利点がある。そして、多値直交振幅変調モデムに利用することができる。

更に、利得切替制御タイミングのサンプルホールドタイミングとの同期化により、利得切替時の過渡応答時間が、サンプルホールドタイミングの周期Tまで許容できるという利点がある。

4. 図面の簡単な説明

第1図は本発明の実施例を示す回路図、第2図は第1図のループ利得制御回路の一例を示す回路

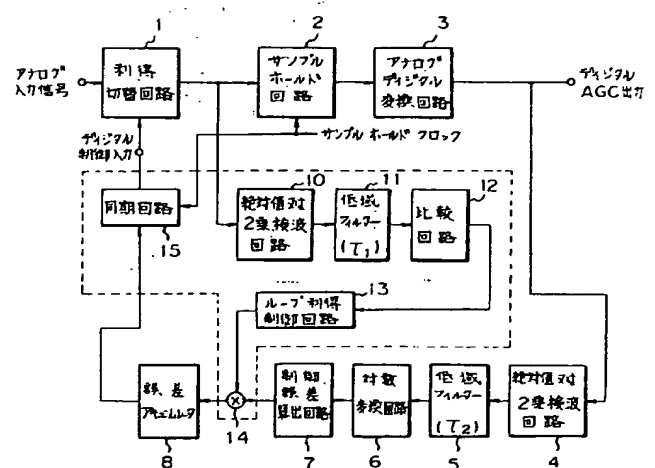
図、第3図は動作を説明するための入力レベルのステップ応答に対する出力応答の波形図、第4図は利得切替タイミングのサンプルホールドタイミングに対する同期を説明する波形図、第5図は従来のディジタルAGC回路を示す回路図である。

1…利得切替回路、2…サンプルホールド回路、3…アナログディジタル変換回路、4…絶対値又は2乗検波回路、5…低域フィルタ、6…対数変換回路、7…制御誤差算出回路、8…誤差アキュムレータ、10…絶対値又は2乗検波回路、11…低域フィルタ、12…比較回路、13…ループ利得制御回路、14…乗算器。

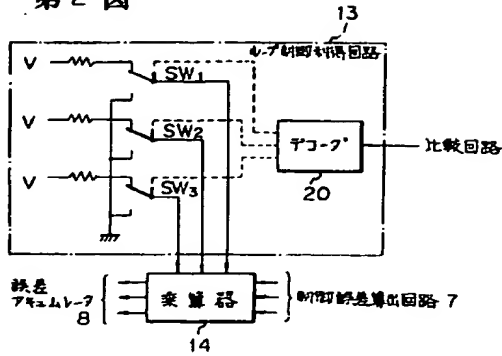
特許出願人 沖電気工業株式会社

代理人 鈴木 敏 明

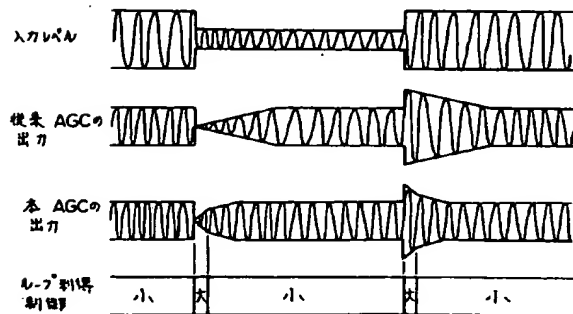
第1図



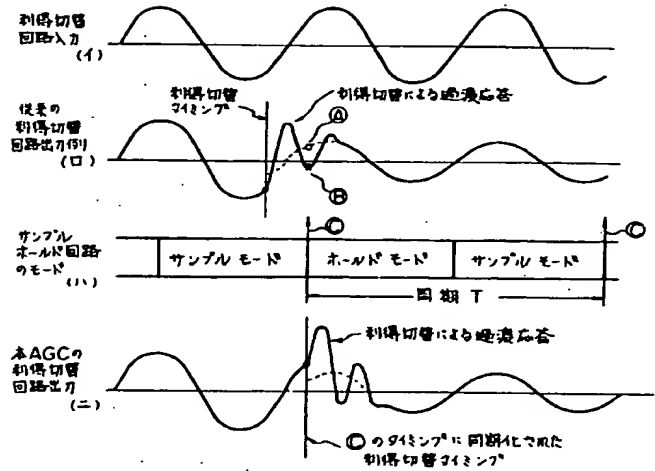
第2図



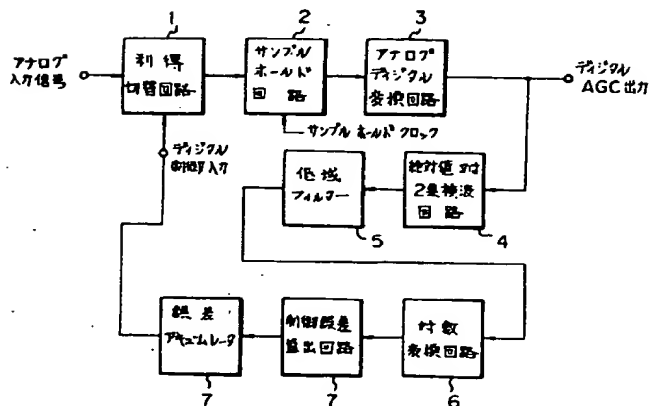
第3図



第4図



第5図



手続補正書 (自発)

昭和 60. 2. 19 日

特許庁長官 殿

1. 事件の表示

昭和59年 特許 願第129236号

2. 発明の名称

デジタル AGC 回路

3. 補正をする者

事件との関係

特許出願人

住所(〒105)

東京都港区虎ノ門1丁目7番12号

名称(029)

沖電気工業株式会社

代表者

取締役社長 橋本 南海男

4. 代理人

住所(〒105)

東京都港区虎ノ門1丁目7番12号

氏名(6892)

弁理士 鈴木 敬明

電話 501-3111(大代表)

5. 補正の対象

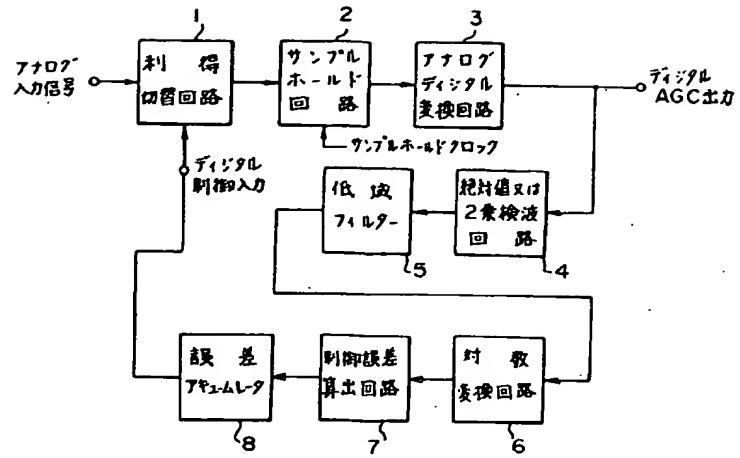
図面「第5図」

6. 補正の内容

図面「第5図」を別紙の通り補正する。

特許庁
60. 2. 19

第 5 図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.